

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-030612

(43)Date of publication of application : 03.02.1992

(51)Int.Cl.

H03G 3/10

(21)Application number : 02-134921

(71)Applicant : NEC CORP

(22)Date of filing : 24.05.1990

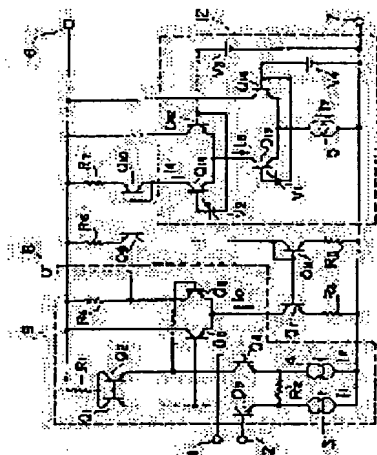
(72)Inventor : HIRASAWA MASAHIRO

## (54) GAIN CONTROL DRIVING CIRCUIT

## (57)Abstract:

PURPOSE: To prevent the gain control characteristic from being affected by another gain control system by devising a gain control mean such that it contains plural stages of differential amplifier circuits stack longitudinally each comprising a couple of transistors (TRs), and a gain control signal is outputted from the collector of on TR of each differential amplifier circuit in response to a gain control voltage fed to the base of the TR.

CONSTITUTION: A collector current I3 of a TR Q13 controlled by the gain control voltage v1 of a variable voltage source v1 is fed to emitters of TRs Q11, Q12. The collector current I4 of a TR Q11 controlled by the gain control voltage v2 of a variable voltage source v2 and the collector current I3 is fed to the collector and the base of a TR Q10. Then the emitter current I0 is fed to TRs Q5, Q6 via two current mirror circuits comprising TRs Q9, Q10 (TRs Q7, Q8). The gain AV of an amplifier circuit 9 is set by the emitter current I0. A variable quantity  $\Delta AV$  of the gain AV is constant independently of the setting value of the currents I3, I4.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

⑫ 公開特許公報(A) 平4-30612

⑤ Int. Cl.<sup>3</sup>  
H 03 G 3/10

識別記号 庁内整理番号  
B 7239-5 J

⑬ 公開 平成4年(1992)2月3日

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 利得制御増幅回路

⑯ 特 願 平2-134921

⑰ 出 願 平2(1990)5月24日

⑱ 発 明 者 平 澤 正 啓 東京都港区芝5丁目7番1号 日本電気株式会社  
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号  
⑳ 代 理 人 弁理士 藤 巻 正 憲

明 細 書

1. 発明の名称

利得制御増幅回路

2. 特許請求の範囲

(1) 入力信号を増幅して出力する信号増幅手段と、この信号増幅手段の利得を制御する利得制御手段とを有する利得制御増幅回路において、前記利得制御手段は1対のトランジスタからなる縦横みされた複数段の差動回路を有し、前記各差動回路はその一方のトランジスタのベースに供給される利得制御電圧に応じて前記一方のトランジスタのコレクタから利得制御信号を出力することを特徴とする利得制御増幅回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は利得制御増幅回路に関し、特に、複数の利得制御系を有する利得制御増幅回路に関する。

〔従来の技術〕

従来、この種の利得制御増幅回路(VCA)としては、第3図に示すようなものが知られている。

即ち、入力端子1、2から入力される入力信号は増幅回路9により増幅され、出力端子8から出力信号が出力される。そして、この増幅回路9は、2組のカレントミラー回路を介して接続される利得制御回路13によりその利得が制御されている。

入力端子1、2は、夫々トランジスタ $Q_1$ 、 $Q_2$ のベースに接続されている。トランジスタ $Q_3$ 、 $Q_4$ のエミッタには、夫々低電位電源端子7に接続される定電流源3、4から定電流 $I_1$ 、 $I_2$ が供給される。また、トランジスタ $Q_3$ 、 $Q_4$ は、そのエミッタが抵抗 $R_2$ により相互に接続され、夫々そのコレクタがトランジスタ $Q_1$ 、 $Q_2$ のエミッタに接続されている。トランジスタ $Q_1$ 、 $Q_2$ は、そのベースが抵抗 $R_1$ を介して高電位電源端子6に共通接続されており、夫々コレクタとベースとが短絡されている。

トランジスタ $Q_3$ 、 $Q_4$ のコレクタは、夫々トランジスタ $Q_5$ 、 $Q_6$ のベースに接続されている。このトランジスタ $Q_5$ 、 $Q_6$ はそのエミッタがトランジスタ $Q_7$ のコレクタに共通接続されており、

トランジスタ $Q_6$ のコレクタが高電位電源端子8に直接接続され、トランジスタ $Q_7$ のコレクタは抵抗 $R_4$ を介して高電位電源端子8に接続されている。そして、抵抗 $R_4$ とトランジスタ $Q_6$ のコレクタとの間に出力端子9が接続されている。このようにして増幅回路9が構成されている。

トランジスタ $Q_7$ 、 $Q_8$ はそのエミッタが夫々抵抗 $R_5$ 、 $R_6$ を介して低電位電源端子7に接続されていて、このトランジスタ $Q_7$ 、 $Q_8$ によりカレントミラー回路が構成されている。トランジスタ $Q_6$ のベース及びコレクタはトランジスタ $Q_7$ のコレクタに接続されている。トランジスタ $Q_8$ 、 $Q_{10}$ はそのエミッタが夫々抵抗 $R_7$ 、 $R_8$ を介して高電位電源端子8に接続されていて、このトランジスタ $Q_8$ 、 $Q_{10}$ によりカレントミラー回路が構成されている。トランジスタ $Q_{10}$ のベース及びコレクタはトランジスタ $Q_{11}$ 、 $Q_{14}$ のコレクタに接続されている。

利得制御回路13は以下のように構成されている。即ち、トランジスタ $Q_{11}$ 、 $Q_{12}$ のエミッタに

より決定される。この電流 $I_0$ は、トランジスタ $Q_{11}$ 、 $Q_{12}$ 及びトランジスタ $Q_{13}$ 、 $Q_{14}$ からなる2組の差動回路により制御されたトランジスタ $Q_{11}$ のコレクタ電流 $I_1$ とトランジスタ $Q_{14}$ のコレクタ電流 $I_2$ との和であり、トランジスタ $Q_6$ 、 $Q_{10}$ 及びトランジスタ $Q_7$ 、 $Q_8$ からなる2組のカレントミラー回路を介して供給される。このとき、増幅回路9の利得 $A_v$ は下記(1)式にて表される。

$$A_v \approx 20 \log \left( \frac{R_4}{R_2} \cdot \frac{I_0}{I_1 + I_2} \right) \\ \approx 20 \log \left( \frac{R_4}{R_2} \cdot \frac{I_0 + I_0}{I_1 + I_2} \right) \dots (1)$$

〔発明が解決しようとする課題〕

しかしながら、上述した従来の利得制御増幅回路においては、上記(1)式から明らかなように、増幅回路9の利得 $A_v$ を決定する電流 $I_0$ と電流 $I_1$ とが和の形で対数項の要数となっている。このため、電流 $I_0$ 、 $I_1$ の設定値が相互に影響するので、可変電圧源 $V_1$ 、 $V_2$ の利得制御電圧

は、低電位電源端子7に接続される定電流源10から定電流 $I_0$ が供給される。トランジスタ $Q_{11}$ はそのベースが可変電圧源 $V_1$ に接続されている。トランジスタ $Q_{12}$ はそのベースが定電圧源 $V_2$ に接続され、そのコレクタが高電位電源端子8に接続されている。一方、トランジスタ $Q_{13}$ 、 $Q_{14}$ のエミッタには、低電位電源端子7に接続される定電流源11から定電流 $I_1$ が供給される。トランジスタ $Q_{14}$ はそのベースが可変電圧源 $V_1$ に接続されている。トランジスタ $Q_{13}$ はそのベースが定電圧源 $V_2$ に接続され、そのコレクタが高電位電源端子8に接続されている。

次に、上述の如く構成される利得制御増幅回路の動作について説明する。

入力端子1、2から入力される入力信号はトランジスタ $Q_1$ 、 $Q_2$ により対数圧縮され、トランジスタ $Q_3$ 、 $Q_4$ からなる差動増幅回路により対数伸張された後、抵抗 $R_4$ から出力端子9を介して出力される。この場合、増幅回路9の利得 $A_v$ はトランジスタ $Q_6$ 、 $Q_8$ のエミッタ電流 $I_0$ に

$v_1$ 、 $v_2$ の変化量に対する利得 $A_v$ の変化量 $\Delta A_v$ は、電流 $I_0$ 、 $I_1$ の設定値により異なる。

例えば、 $I_1 = I_2 = 100 \mu A$ 、 $I_0 = I_0 = 200 \mu A$ 、 $R_2 = R_4 = 10 k\Omega$ である場合、先ず、 $I_0 = 200 \mu A$ とし、可変電圧源 $V_2$ の電圧 $v_2$ を $\pm 18 mV$ の範囲で変化させると、電流 $I_0$ は66乃至 $133 \mu A$ の範囲で変化する。このとき、エミッタ電流 $I_0$ は $I_0 = I_0 + I_0$ であるから266乃至 $333 \mu A$ の範囲で変化し、(1)式より増幅回路9の利得 $A_v$ は約2.5乃至4.4dBの範囲で変化する。従って、利得 $A_v$ の変化量 $\Delta A_v$ は1.9dBとなる。次に、 $I_0 = 10 \mu A$ とし、可変電圧源 $V_2$ の電圧 $v_2$ を $\pm 18 mV$ の範囲で変化させると、電流 $I_0$ は66乃至 $133 \mu A$ の範囲で変化する。このとき、エミッタ電流 $I_0$ は76乃至 $143 \mu A$ の範囲で変化し、(1)式より増幅回路9の利得 $A_v$ は約-8.4乃至-2.9dBの範囲で変化する。従って、利得 $A_v$ の変化量 $\Delta A_v$ は5.5dBとなる。

第4図は上述した従来の利得制御増幅回路の利得制御特性を示すグラフ図であって、縦軸が利得

$A_v$  を示し、横軸が可変電圧源  $V_2$  の利得制御電圧  $v_2$  を示す。この第4図から明らかなように、利得  $A_v$  は利得制御電圧  $v_2$  の増加に伴って増大するものの、電流  $I_0$  の設定値により変化量  $\Delta A_v$  が異なる。即ち、電流  $I_0$  の設定値が比較的小さい場合は、電流  $I_0$  の設定値が比較的大きい場合に比して利得  $A_v$  の変化量  $\Delta A_v$  が大きくってしまう。

このように、従来の利得制御増幅回路においては、複数の利得制御系の出力電流の和をとって、この出力電流の和により利得を制御するため、利得の計算式の対数項に夫々独立して変化する変数の和が存在する。このため、1つの利得制御系の利得制御電圧の変化に対する利得制御特性は、他の利得制御系の状態によって変化してしまうという問題点がある。

本発明はかかる問題点に鑑みてなされたものであって、複数の利得制御系を有する利得制御増幅回路において、1つの利得制御系の利得制御電圧の変化に対する利得制御特性が、他の利得制御系

るトランジスタのエミッタに順次供給され、最終段の差動回路を構成するトランジスタのコレクタから出力される利得制御信号により信号増幅手段の利得が制御される。これにより、入力信号は所定の利得により増幅されて出力される。本発明によれば、上述の如く、複数段の差動回路を縦積みにするため、利得計算式の対数項に変数の和が含まれない。このため、従来のように利得計算式の対数項に変数の和が含まれる場合とは異なって、利得制御電圧の変化量に対する信号増幅手段の利得の変化量は、前記トランジスタのコレクタ電流の設定値に拘らず一定である。従って、複数の利得制御系を有する利得制御増幅回路において、1つの利得制御系の利得制御電圧の変化に対する利得制御特性が、他の利得制御系の影響を受けることを防止できる。

#### 【実施例】

次に、本発明の実施例について添付の図面を参照して説明する。

第1図は本発明の実施例に係る利得制御増幅回

の影響を受けることを防止できる利得制御増幅回路を提供することを目的とする。

#### 【課題を解決するための手段】

本発明に係る利得制御増幅回路は、入力信号を増幅して出力する信号増幅手段と、この信号増幅手段の利得を制御する利得制御手段とを有する利得制御増幅回路において、前記利得制御手段は1対のトランジスタからなる縦積みされた複数段の差動回路を有し、前記各差動回路はその一方のトランジスタのベースに供給される利得制御電圧に応じて前記一方のトランジスタのコレクタから利得制御信号を出力することを特徴とする。

#### 【作用】

本発明においては、1対のトランジスタからなる差動回路は、この差動回路を構成する一方のトランジスタのベースに利得制御電圧が供給され、この利得制御電圧に応じて前記一方のトランジスタのコレクタから利得制御信号を出力する。而して、複数段の前記差動回路が縦積みされているため、前記利得制御信号は次段の差動回路を構成す

路を示す回路図である。なお、本実施例は利得制御回路の構成が従来例と異なるものであるので、第1図において第2図と同一物には同一符号を付してその部分の詳細な説明は省略する。

利得制御回路12は以下のように構成されている。即ち、トランジスタ  $Q_{11}$  はそのエミッタがトランジスタ  $Q_{13}$  のコレクタに接続され、そのベースが可変電圧源  $V_2$  に接続され、そのコレクタがトランジスタ  $Q_{10}$  のコレクタ及びベースに接続されている。トランジスタ  $Q_{12}$  はそのエミッタがトランジスタ  $Q_{13}$  のコレクタに接続され、そのベースが定電圧源  $V_3$  に接続され、そのコレクタが高電位電源端子8に接続されている。一方、トランジスタ  $Q_{13}$ 、 $Q_{14}$  のエミッタには、低電位電源端子7に接続される定電流源5から定電流  $I_7$  が供給される。トランジスタ  $Q_{13}$  はそのベースが可変電圧源  $V_1$  に接続されている。トランジスタ  $Q_{14}$  はそのベースが定電圧源  $V_4$  に接続され、そのコレクタが高電位電源端子8に接続されている。

このように構成される利得制御増幅回路におい

ては、可変電圧源  $V_1$  の利得制御電圧  $v_1$  により制御されるトランジスタ  $Q_{13}$  のコレクタ電流  $I_3$  は、トランジスタ  $Q_{11}$ 、 $Q_{12}$  のエミッタに供給される。可変電圧源  $V_2$  の利得制御電圧  $v_2$  及びコレクタ電流  $I_3$  により制御されるトランジスタ  $Q_{11}$  のコレクタ電流  $I_4$  は、トランジスタ  $Q_{10}$  のコレクタ及びベースに供給される。そして、トランジスタ  $Q_9$ 、 $Q_{10}$  及びトランジスタ  $Q_7$ 、 $Q_8$  からなる2組のカレントミラー回路を介して、トランジスタ  $Q_9$ 、 $Q_8$  にエミッタ電流  $I_1$  が供給される。このエミッタ電流  $I_1$  により増幅回路9の利得  $A_v$  が決定される。このとき、増幅回路9の利得  $A_v$  は下記(2)式にて表される。

$$A_v \approx 20 \log \left( \frac{R_4}{R_2} \cdot \frac{I_4}{I_1 + I_2} \right) \quad \dots (2)$$

ここで、電流  $I_4$ 、 $I_3$  は下記(3)及び(4)式にて表される。

$$I_4 = I_3 \cdot \frac{\frac{q}{kT} \cdot v_2}{1 + \frac{q}{kT} \cdot v_2} \quad \dots (3)$$

$$I_3 = I_7 \cdot \frac{\frac{q}{kT} \cdot v_1}{1 + \frac{q}{kT} \cdot v_1} \quad \dots (4)$$

但し、 $k$  はボルツマン定数、 $T$  は絶対温度、 $q$  は電荷量である。

従って、この(3)及び(4)式を上記(2)式に代入することにより、利得  $A_v$  は下記(5)式にて表される。

$$A_v \approx 20 \log \left( \frac{R_4}{R_2} \cdot \frac{I_7 \cdot \frac{q}{kT} \cdot v_1}{1 + \frac{q}{kT} \cdot v_1} \cdot \frac{\frac{q}{kT} \cdot v_2}{1 + \frac{q}{kT} \cdot v_2} \cdot \frac{1}{I_1 + I_2} \right) \quad \dots (5)$$

この(5)式から明らかなように、利得  $A_v$  の

計算式において、対数項には変数である電圧  $v_1$  と電圧  $v_2$  との和が含まれていない。このため、対数項に変数の和を含む従来例とは異なって、利得制御電圧  $v_1$ 、 $v_2$  の変化量に対する利得  $A_v$  の変化量  $\Delta A_v$  は、電流  $I_3$ 、 $I_4$  の設定値に拘らず一定である。

例えば、 $I_1 = I_2 = 100 \mu A$ 、 $R_2 = R_4 = 10 k\Omega$  である場合、 $I_3 = 200 \mu A$  とし、可変電圧源  $V_2$  の電圧  $v_2$  を  $\pm 18 mV$  の範囲で変化させると、電流  $I_4$  及び電流  $I_1$  は  $66$  乃至  $133 \mu A$  の範囲で変化する。このとき、(2)式より増幅回路9の利得  $A_v$  は約  $-3.6$  乃至  $-3.54 dB$  の範囲で変化する。従って、利得  $A_v$  の変化量  $\Delta A_v$  は  $0.1 dB$  となる。一方、 $I_3 = 10 \mu A$  とし、可変電圧源  $V_2$  の電圧  $v_2$  を  $\pm 18 mV$  の範囲で変化させると、電流  $I_4$  及び電流  $I_1$  は  $3.3$  乃至  $6.6 \mu A$  の範囲で変化する。このとき、(2)式より増幅回路9の利得  $A_v$  は約  $-35.6$  乃至  $-29.6 dB$  の範囲で変化する。従って、利得  $A_v$  の変化量  $\Delta A_v$  は  $0.0 dB$  となる。

第2図は本実施例に係る利得制御増幅回路の利

得制御特性を示すグラフ図であって、縦軸が利得  $A_v$  を示し、横軸が可変電圧源  $V_2$  の利得制御電圧  $v_2$  を示す。この第2図から明らかなように、利得  $A_v$  は利得制御電圧  $v_2$  の増加に伴って増大し、利得  $A_v$  の変化量  $\Delta A_v$  は電流  $I_3$  の設定値に拘らず一定である。

このように、本実施例によれば、トランジスタ  $Q_{13}$ 、 $Q_{14}$  からなる差動回路と、トランジスタ  $Q_{11}$ 、 $Q_{12}$  からなる差動回路とを縦積みにするため、一方の差動回路の利得制御電圧を変化させることにより電流  $I_4$  を制御することができ、増幅回路9の利得  $A_v$  を制御することができる。このため、一方の差動回路の利得制御電圧の変化に対する利得制御特性は、他方の差動回路の状態によって変化するということはない。

#### [発明の効果]

以上説明したように本発明によれば、利得制御手段は1対のトランジスタからなる縦積みされた複数段の差動回路を有し、前記各差動回路はその一方のトランジスタのベースに供給される利得制

御電圧に応じて前記一方のトランジスタのコレクタから利得制御信号を出力するから、前記利得制御電圧の変化量に対する信号増幅手段の利得の変化量は、前記トランジスタのコレクタ電流の設定値に拘らず一定である。従って、複数の利得制御系を有する利得制御増幅回路において、1つの利得制御系の利得制御電圧の変化に対する利得制御特性が、他の利得制御系の影響を受けることを防止できる。

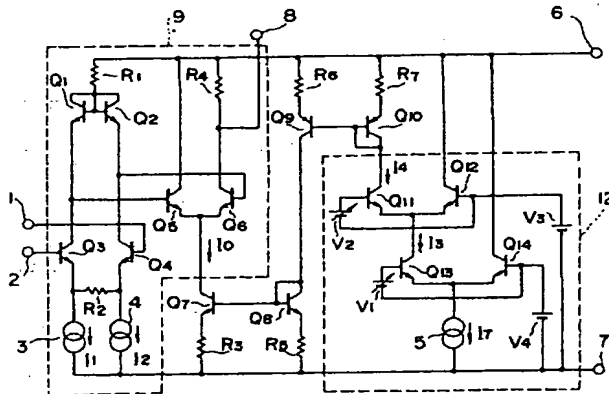
#### 4. 図面の簡単な説明

第1図は本発明の実施例に係る利得制御増幅回路を示す回路図、第2図はその利得制御特性を示すグラフ図、第3図は従来の利得制御増幅回路を示す回路図、第4図はその利得制御特性を示すグラフ図である。

1, 2; 入力端子、3, 4, 5, 10, 11; 定電流源、6; 高電位電源端子、7; 低電位電源端子、8; 出力端子、9; 増幅回路、12, 13; 利得制御回路、 $Q_1 \sim Q_{14}$ ; トランジスタ、 $R_1 \sim R_7$ ; 抵抗、 $V_1, V_2$ ; 可変電圧源、 $V_3, V_4$ ; 定電圧源、

1, 2; 入力端子  
3, 4, 5; 定電流源  
6; 高電位電源端子  
7; 低電位電源端子  
8; 出力端子  
9; 増幅回路  
12; 利得制御回路

$Q_1 \sim Q_{14}$ ; トランジスタ  
 $R_1 \sim R_7$ ; 抵抗  
 $V_1, V_2$ ; 可変電圧源  
 $V_3, V_4$ ; 定電圧源

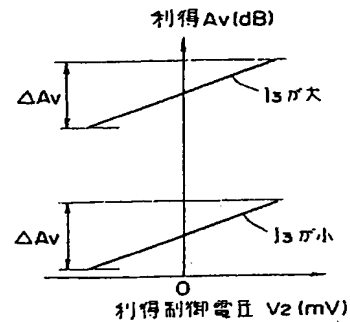


第 1 図

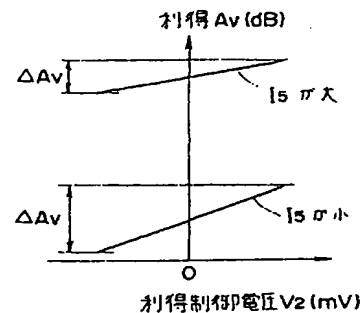
$V_3, V_4$ ; 定電圧源

出願人 日本電気株式会社

代理人 弁理士 藤巻正憲

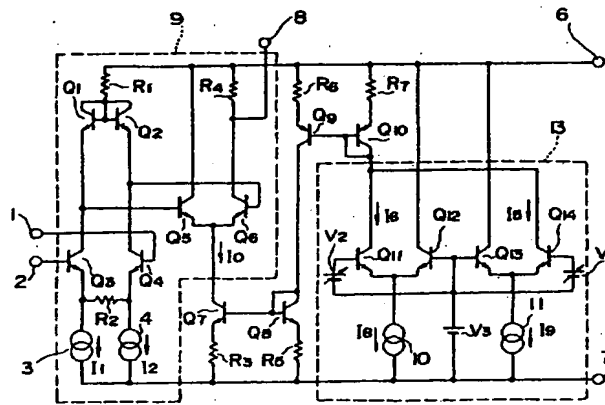


第 2 図



第 4 図

- |                    |                            |
|--------------------|----------------------------|
| 1, 2: 入力端子         | $Q_1 \sim Q_{14}$ : トランジスタ |
| 3, 4, 10, 11: 定電流源 | $R_1 \sim R_7$ : 抵抗        |
| 6: 高電位電源端子         | $V_1, V_2$ : 可変電圧源         |
| 7: 低電位電源端子         | $V_3$ : 定電圧源               |
| 8: 出力端子            |                            |
| 9: 増幅回路            |                            |
| 13: 利得制御回路         |                            |



第 3 図